

MCP61

电容传感微处理器芯片

1. 概述

MCP61(Mysentech Capacitive Processor)是敏源传感推出的新一代电容传感微处理器 SOC 芯片,集成了双通道电容型模拟前端传感电路 (AFE CAP),可直接与被测物附近的差分电容极板相连,通过谐振激励并解算测量微小电容的变化。激励频率在 0.1~20MHz 范围内可配置,其频率测量输出为 16bit 数字信号,对应的电容感知最高分辨率为 1fF。

为了解决各行业的电容传感应用, SOC 芯片集成了 Arm® Cortex®-M0 内核的微处理器,可实现各种嵌入式感知处理的算法,将原始的振荡频率数值,转换成电容值及液位、含水率、位移距离等具体物理量。此外,芯片的模拟前端还集成了温度传感电路,可用于进行温度补偿的传感场景。内置的 16KB Flash 存储器, 2KB SRAM, 可让开发者编写应用软件,并存储传感校准及应用数据。MCP61 同时集成了 ADC、高级定时器、通用定时器、位基本定时器等硬件资源以及 USART、SPI 和 I2C 接口。

2. 特性

- 电容检测前端
 - 测量双端浮空电容
 - 电容测量范围: 1~1000pF
 - 电容检测频率: 0.1~20MHz
- 内核与系统
 - 32-bit Arm®Cortex®-M0
 - 工作频率可达 48MHz
- 存储器
 - 16KB Flash 存储器
 - 2KB SRAM
- 时钟、复位和电源管理
 - 2.5V~5.5V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 内嵌 48MHz HSI 高速振荡器
 - 内嵌 40KHz LSI 低速振荡器

- 支持最高 48MHz 外部时钟输入 (HSE, 通过 OSCIN 引脚)
- 低功耗
 - 多种低功耗模式, 包括: 睡眠 (Sleep)、停机 (Stop) 和深度停机 (Deep Stop)
 - 平均功耗: 90uA@1Hz
- 5 个定时器
 - 1 个 16 位 4 通道高级控制定时器 (TIM1)
 - 1 个 16 位 4 通道通用定时器 (TIM3)
 - 1 个 16 位基本定时器 (TIM14)
 - 1 个独立时钟的硬件看门狗定时器 (IWDG)
 - 1 个 SysTick 定时器: 24 位自减型计数器
- 11 个快速 I/O 端口
 - 所有 I/O 口可以映像到外部中断
 - 所有端口均可输入输出电压不高于 VDD 的信号
- 3 个通信接口
 - 1 个 USART 接口 (支持 SPI 模式)
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- 1 个 12 位模数转换器 (ADC), 支持最快 1μs 转换时间 (1MSPS 采样率), 配置 5 个外部通道和 1 个可采集内置参考电压的内部通道
- CRC 计算单元
- 96 位芯片唯一 ID (UID)
- 调试模式-串行调试接口 (SWD) 接口
- 工作温度范围-40°C~+85°C
- QSOP24 封装

3. 应用

- 连续液位检测
- 含水率检测
- 水浸检测
- 物质介电检测
- 位移感知

产品信息

型号	封装	尺寸
MCP61	QSOP24	8.63*3.90*1.45mm

目录

1. 概述	1
2. 特性	1
3. 应用	1
4. 引脚定义及复用功能	3
4.1 引脚分布图	3
4.2 引脚定义表	3
4.3 引脚复用	5
5. 典型应用电路	5
6. 功能描述	7
6.1 系统框图	7
6.2 CAP AFE	8
6.3 存储器映像	8
6.4 NVIC	8
6.5 EXTI	8
6.6 时钟系统	9
6.7 定时器和看门狗	9
6.8 GPIO	10
6.9 USART	10
6.10 I2C	10
6.11 SPI	10
6.12 ADC	11
6.13 CRC	11
6.14 SWD	11
7. 电气特性	11
7.1 电容测量	11
7.2 绝对最大额定值	12
7.3 工作条件	13
7.3.1 通用工作条件	13
7.3.2 上电和掉电时的工作条件	14
7.3.3 内嵌复位和电源控制模块特性	14
7.3.4 内置的参照电压	15
7.3.5 供电电流特性	16
7.3.6 外部时钟源特性	19
7.3.7 内部时钟源特性	19
7.3.8 存储器特性	20
7.3.9 EMC 特性	21
7.3.10 I/O 端口特性	22
7.3.11 Timer 定时器特性	24
7.3.12 I2C 接口特性	24
7.3.13 SPI 接口特性	26
7.3.14 USART 接口特性	29
7.3.15 ADC 特性	29
8. 封装 (QSOP24)	31

4. 引脚定义及复用功能

4.1 引脚分布图

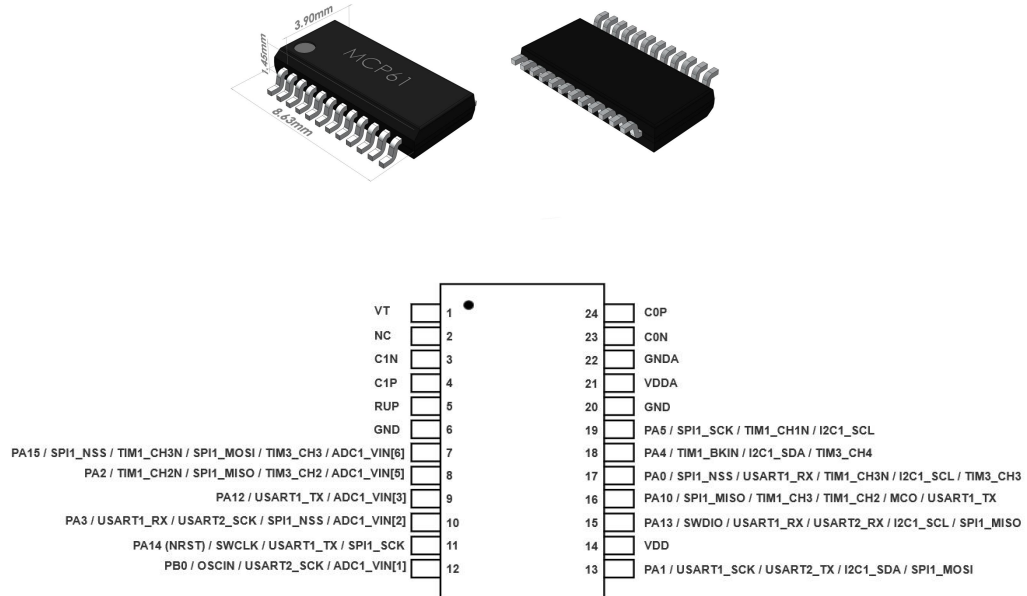


图 4.1 QSOPT24 引脚分布

4.2 引脚定义表

表 4-2 引脚定义

QSOPT24	Name	Type ⁽¹⁾	I/O level ⁽²⁾	Main function	Multiplex function	Additional function
1	VT	A	-	Temperature voltage	-	-
2	NC	-	-	NC	-	-
3	C1N	A	-	Channel 1 capacitor input negative	-	-
4	C1P	A	-	Channel 1 capacitor input positive	-	-
5	RUP	I/O	TC	External resistance	-	-
6	GND	G	-	Ground	-	-

7	PA15	I/O	TC	PA15	SPI1_NSS TIM1_CH3N SPI1_MOSI TIM3_CH3	ADC1_VIN[6]
8	PA2	I/O	TC	PA2	TIM1_CH2N SPI1_MISO TIM3_CH2	ADC1_VIN[5]
9	PA12	I/O	TC	PA12	USART1_TX	ADC1_VIN[3]
10	PA3	I/O	TC	PA3	USART1_RX USART2_SCK SPI1_NSS	ADC1_VIN[2]
11	PA14(NRST) ⁽³⁾	I/O	TC	PA14	SWCLK USART1_TX SPI1_SCK	-
12	PB0(OSCIN)	I/O	TC	PB0	USART2_SCK	ADC1_VIN[1]
13	PA1	I/O	TC	PA1	USART1_SCK USART2_TX I2C1_SDA SPI1_MOSI	-
14	VDD	P	-	Power	-	-
15	PA13	I/O	TC	PA13	SWDIO USART1_RX USART2_RX I2C1_SCL SPI1_MISO	-
16	PA10	I/O	TC	PA10	SPI1_MISO TIM1_CH3 TIM1_CH2 MCO USART1_TX	-
17	PA0	I/O	TC	PA0	SPI1_NSS USART1_RX TIM1_CH3N I2C1_SCL TIM3_CH3	-
18	PA4	I/O	TC	PA4	TIM1_BKIN I2C1_SDA TIM3_CH4	-
19	PA5	I/O	TC	PA5	SPI1_SCK TIM1_CH1N I2C1_SCL	-
20	GND	G	-	Ground	-	-
21	VDDA	P	-	Analog Power	-	-

22	GNDA	G	-	Analog Power	-	-
23	CON	A	-	Channel 0 capacitor input negative	-	-
24	COP	A	-	Channel 0 capacitor input positive	-	-

备注 1: I=输入, O=输出, P=电源, G=地, A=模拟

备注 2: TC: 标准 IO, 输入信号不超过 VDD 电压。

备注 3: 当 RCC_SYSCFG 的 SFT_NRST_RMP 位被设置为 1 时, PA14 被映射为 NRST 外部复位, 且复位时低电平至少保持 4us。

4.3 引脚复用

表 4-3-1 PA 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PA0	SPI1_NSS	USART1_RX	TIM1_CH3N	I2C1_SCL	TIM3_CH3
PA1	-	USART1_SCK	USART2_TX	I2C1_SDA	SPI1_MOSI
PA2	-	-	TIM1_CH2N	SPI1_MISO	TIM3_CH2
PA3	-	USART1_RX	USART2_SCK	-	SPI1_NSS
PA4	-	-	TIM1_BKIN	I2C1_SDA	TIM3_CH4
PA5	SPI1_SCK	TIM1_CH1N	-	I2C1_SCL	-
PA10	SPI1_MISO	TIM1_CH3	TIM1_CH2	MCO	USART1_TX
PA12	-	USART1_TX	-	-	-
PA13	SWDIO	USART1_RX	USART2_RX	I2C1_SCL	SPI1_MISO
PA14	SWCLK	USART1_TX	-	-	SPI1_SCK
PA15	SPI1_NSS	TIM1_CH3N	-	SPI1_MOSI	TIM3_CH3

表 4-3-2 PB 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PB0	-	USART2_SCK	-	-	-

5. 典型应用电路

MCP61 典型应用电路如下图所示, RUP 为 10K 上拉电阻到 VDD。

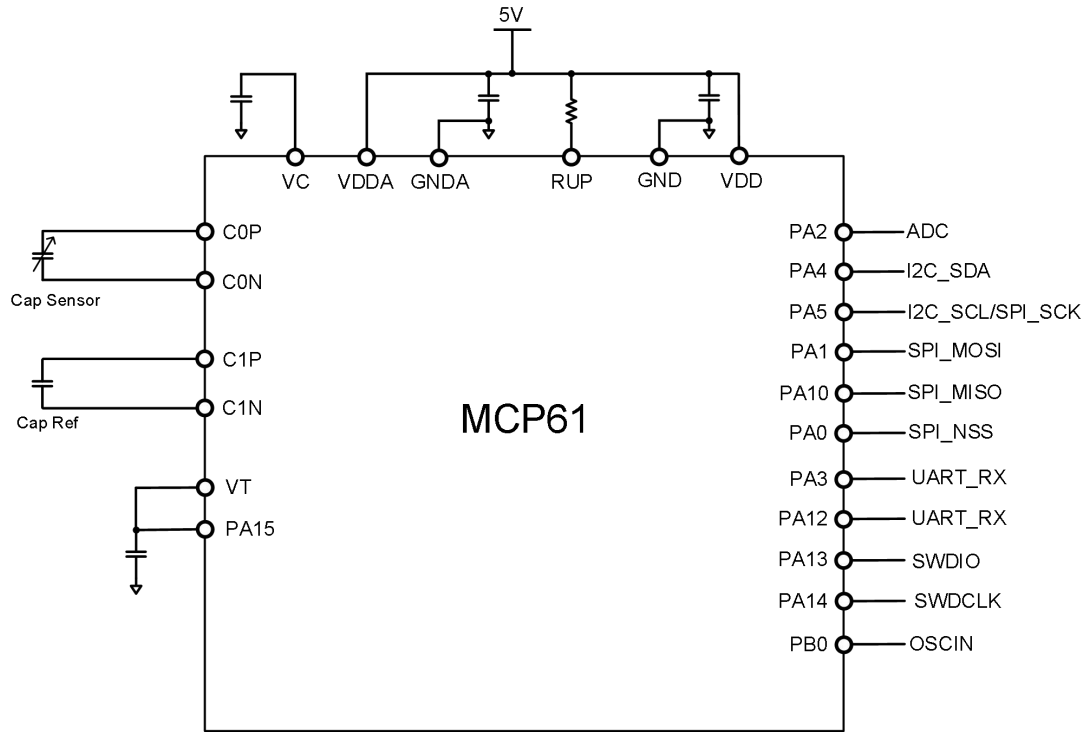


图 5.1 典型应用电路

6. 功能描述

6.1 系统框图

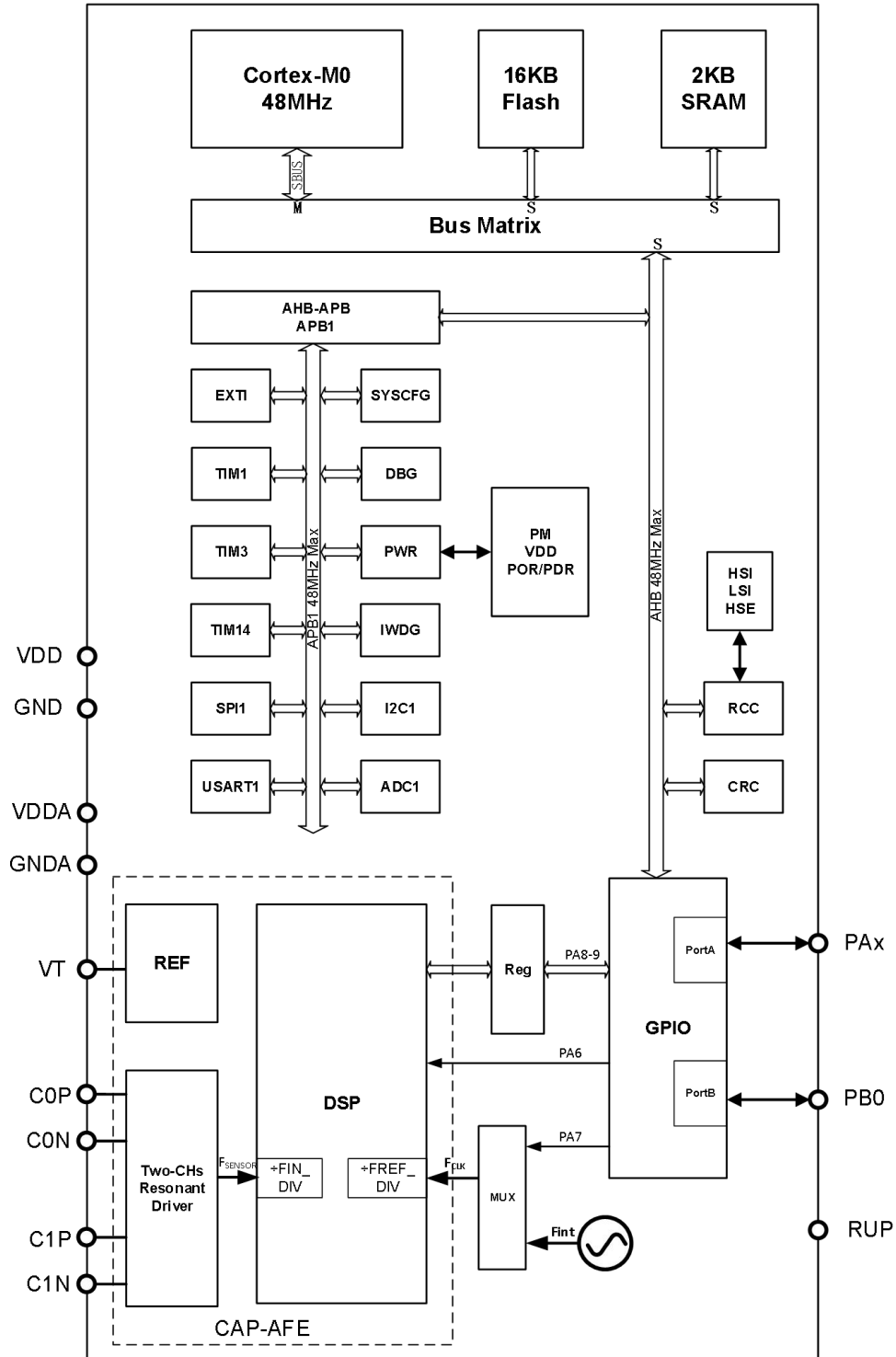


图 6.1 系统框图

6.2 CAP AFE

参见图 6.1，芯片内置了高集成度双通道电容传感电路，测量通道 1 C0P/C0N 与通道 2 C1P/C1N 可根据应用需求直接与被测物附近的差分电容极板相连，通过测量振荡频率，解算被测目标的电容。AFE 通过处理器内部配置 PA7 端口给电容模块提供基准时钟，也可以应用内部模拟时钟。处理器 PA6 端口可用于控制电容模块启动工作，处理器端口 PA8、PA9 用于在芯片内部与电容传感 AFE 之间进行 I2C 通讯。

6.3 存储器映像

表 6.3 存储器映像

BUS	Address range	Size	Peripheral
Flash	0x08000000 - 0x080003FFF	16 KB	Main Flash memory
SRAM	0x20000000 - 0x200007FF	2 KB	SRAM
APB1	0x40000400 - 0x400007FF	1 KB	TIM3
	0x40003000 - 0x400033FF	1 KB	IWDG
	0x40005400 - 0x400057FF	1 KB	I2C1
	0x40007000 - 0x400073FF	1 KB	PWR
	0x40010000 - 0x400103FF	1 KB	SYSCFG
	0x40010400 - 0x400107FF	1 KB	EXTI
	0x40012400 - 0x400127FF	1 KB	ADC1
	0x40012C00 - 0x40012FFF	1 KB	TIM1
	0x40013000 - 0x400133FF	1 KB	SPI1
	0x40013400 - 0x400137FF	1 KB	DBGMCU
	0x40014000 - 0x400143FF	1 KB	TIM14
AHB	0x40021000 - 0x400213FF	1 KB	RCC
	0x40022000 - 0x400223FF	1 KB	Flash Interface
	0x40023000 - 0x400233FF	1 KB	CRC
	0x48000000 - 0x480003FF	1 KB	GPIOA
	0x48000400 - 0x480007FF	1 KB	GPIOB

6.4 NVIC

芯片内置嵌套的向量式中断控制器能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

6.5 EXTI

外部中断/事件控制器（EXTI）包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中

断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB 总线时钟周期的电平变化。

6.6 时钟系统

如图 6.6 所示，芯片包含以下内部或外部时钟源：

- HSI 48MHz
- LSI 40KHz
- HSE

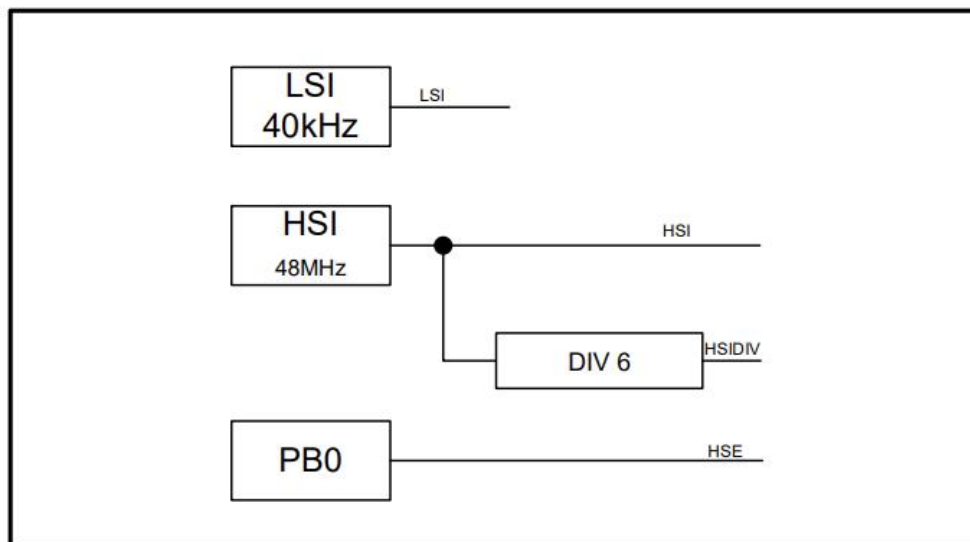


图 6.6 系统时钟源

系统时钟可从以下内部或外部时钟选择：

- HSI – HSI 48MHz 输出
- HSIDIV – HSI 48MHz 的 6 分频输出，即 8MHz 输出
- LSI – LSI 40KHz 输出
- HSE – 从 OSC_IN (PB0) 引脚的外部时钟输入

系统时钟分频后可作为 CPU 和 AHB 总线时钟，CPU 和 AHB 总线的最高工作频率为 48MHz。APB 总线的最高工作频率和 AHB 总线相同。在复位后，首先使用 HSIDIV (8MHz) 作为默认的系统时钟，随后可选择使用 HSI、LSI 或 HSE 作为时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

6.7 定时器和看门狗

芯片包含 1 个高级定时器、1 个通用定时器、1 个基本定时器、1 个看门狗定时器和 1 个系统嘀嗒定时器。

高级控制定时器 (TIM1)

高级控制定时器是由 16 位计数器、4 个比较通道以及三相互补 PWM 发生器组成，它具有

带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。

通用定时器 (TIM3) 产品中内置了 1 个 16 位通用定时器 (TIM3)。定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

基本定时器 (TIM14) 产品中内置 1 个基本定时器 (TIM14)，每个定时器有一个 16 位计数器，支持自动重载，仅支持递增计数。定时器有一个 16 位预分频器和 1 个独立通道，每个通道可用于输入捕捉、输出比较、PWM 输出或单脉冲输出。

独立看门狗(IWDG) 独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。

系统时基定时器 (SysTick) 这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

6.8 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

6.9 USART

芯片内置 1 个通用同步/异步接收器/发送器 (USART1) 接口。USART 为使用行业标准 NRZ 异步串行数据格式的外设提供全双工数据交换的灵活性。该模块可通过集成的波特率发生器支持广泛的波特率（包括整数和小数设置）。支持 LSB、MSB 收发模式，支持 8 位或 9 位可编程数据长度，支持 0.5/1/1.5/2 位停止位配置。支持同步或异步单向通信和半双工单线通信。支持 SPI 模式。支持最高 6Mbps 波特率。

6.10 I2C

芯片中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准模式（100Kbps）和快速模式（400Kbps）。支持 7 位或 10 位寻址。

6.11 SPI

芯片中内嵌 1 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1~32 位。主模式最大

速率 24Mbps，从模式最大速率 12Mbps。

6.12 ADC

芯片内嵌 1 个 12 位的模拟/数字转换器 (ADC)，支持高达 1Msps 转换速率，芯片可至多配置 5 个外部通道和 1 个内部通道。

6.13 CRC

CRC (循环冗余校验) 计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

6.14 SWD

内嵌 Arm 标准的两线串行调试接口 (SW-DP)。

7. 电气特性

7.1 电容测量

芯片电容测量的电气特性如下表，除非特殊说明，表中数据条件为 T=25℃。

表 7.1-1 电源供电

Symbol	Parameter	Conditions	Min	Typ.	Max	Unit
Power						
V _{DD} /V _{DDA}	Supply voltage	T = -40℃ to +85℃	2.5		5.5	V
I _{VDD}	Measuring peak current ⁽¹⁾		0.9		3.8	mA
I _{DDAVG}	Average conversion current ⁽²⁾	V _{DD} =V _{DDA} =5V		90		uA
I _{DDSL}	Sleep mode current ⁽³⁾	V _{DD} =V _{DDA} =5V		7		uA

备注 1：测量峰值电流，表示 CAP AFE 测量时的工作电流。

备注 2：平均转换电流的测试条件是 1s 转换一次，转换时长为 20ms，转换完成后，CAP AFE 为 Shutdown，M0 进入睡眠。

备注 3：睡眠电流的测试条件是 CAP AFE 为 Shutdown，M0 进入睡眠。

表 7.1-2 CAP AFE

Symbol	Parameter	Conditions	Min	Typ.	Max	Unit
Capacitive sensing						
C _{SENSOR}	Measured capacitance				1000	pF
C _{IN}	Pin parasitic capacitance			1		pF
N _{BITS}	Data bit				16	Bit

f _{CS}	Channel sampling rate		0.01		2	kSPS
Oscillator						
f _{SENSOR}	Oscillator frequency range	T=-40℃ to +85℃	0.1		20	MHz
I _{SENSORMAX}	Oscillator current (single channel)		0.2	0.8	3.2	mA
Internal clock						
f _{INTCLK}	Internal clock frequency	T=-40℃to +85℃	2.3	2.4	2.5	MHz
T _{CF_INT_U}	Internal clock temperature drift coefficient	T=20℃to +85℃		-700		ppm/℃
		T=-45℃to +20℃		800		ppm/℃
External clock						
f _{CLKIN}	External clock frequency	T = -40℃to +85℃	0.1		50	MHz
CLKIN _{DUTY}	External clock duty cycle		40%		60%	
V _{CLKIN_HI}	Upper threshold of the external clock		0.7*V _{DD}			V
V _{CLKIN_LO}	Low threshold of the external clock				0.3*V _{DD}	V

7.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 7.2-1、表 7.2-2、表 7.2-3）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 7.2-1 电压特性

Symbol	Description	Minimum	Maximum	Unit
VDD – GND VDDA-GNDA	External main supply voltage	-0.3	5.8	V
VIN ⁽¹⁾	Input voltage on other pins	GND-0.3	VDD+0.3	

备注 1：必须始终遵循 VIN 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 7.2-2 电流特性

Symbol	Description	Maximum	Unit
I_{VDD}/I_{VDDA} ⁽¹⁾	Total current through VDD/VDDA power pins (supply current) ⁽¹⁾	+60	mA
I_{GND}/I_{GNDA} ⁽¹⁾	Total current through GDN/GNDA ground pins (outflow current) ⁽¹⁾	-60	
I_{IO}	Output sink current on any I/O and control pins, VDD = 5.0V	+20	
	Output source current on any I/O and control pins, VDD = 5.0V	-20	
	Output sink current on any I/O and control pins, VDD = 3.3V	+15	
	Output source current on any I/O and	-15	

	control pins, VDD = 3.3V	
	Output sink current on any I/O and control pins, VDD = 2.0V	+6
	Output source current on any I/O and control pins, VDD = 2.0V	-6
$I_{INJ(PIN)}^{(2)(3)}$	NRST pin injection current	± 5
	HSE OSC_IN pin injection current	± 5
$\Sigma I_{INJ(PIN)}^{(5)}$	Other pins injection current ⁽⁴⁾	± 25

备注 1：在允许的范围内，所有主电源（V_{DD}、V_{DDA}）和接地（GND、GNDA）引脚必须始终连接到外部电源。

备注 2：此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。

备注 3：反向注入电流会干扰器件的模拟性能。

备注 4：当 V_{IN} > V_{DD}/ V_{DDA} 时，会产生正向注入电流；当 V_{IN} < GND/GNDA 时，会产生反向注入电流。不得超出 I_{INJ (PIN)}。

备注 5：当多个输入同时存在注入电流时， $\Sigma I_{INJ (PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时 值）的绝对值之和。

表 7.2-3 温度特性

Symbol	Description	Minimum	Maximum	Unit
T _J	Junction temperature	-40	105	°C
T _{stg}	Storage temperature	-40	105	°C

备注：以上为极限参数，对于器件在超出此极限条件的环境中的功能运行，本规格书并不适用。长期暴露于此极限环境会影响器件的可靠性。

7.3 工作条件

7.3.1 通用工作条件

表 7.3.1 通用工作条件

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f _{HCLK}	Internal AHB clock frequency	-	-	-	48	MHz
f _{PCLK1}	Internal APB1 clock frequency	-	-	-	48	
V _{DD} / V _{DDA}	Operating voltage		2.5	3.3	5.5	V
P _D	Power dissipation	QSOP24	-	-	270	mW
T _A	Ambient temperature (Industrial level)	-	-40	-	85	°C

7.3.2 上电和掉电时的工作条件

下表中给出的参数是在表 7.3.1 一般的工作条件下测试得出。

表 7.3.2 上电和掉电时的工作条件

Symbol	Conditions	Min.	Typ.	Max.	Unit
t_{VDD}	V_{DD} rise time t_r	0.2	-	∞	us/V
	V_{DD} fall time t_f	60	-	∞	
$V_{ft}^{(3)}$	Power-down threshold voltage	-	0	-	mV

备注 1：由综合评估得出，不在生产中测试。

备注 2：芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象

备注 3：为确保芯片可以可靠上电，所有上电需要从 0V 开始。

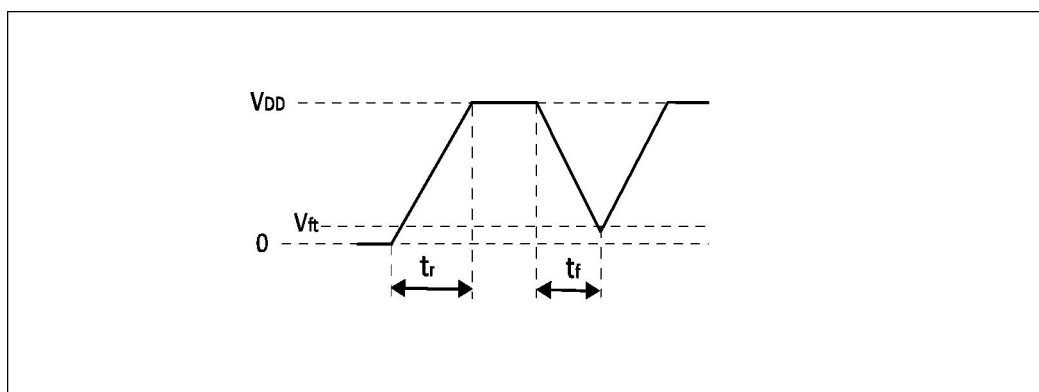


图 7.3.2 上电与掉电波形

7.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.3 内嵌复位和电源控制模块特性

Symbol	Parameter	Condition	Min. ⁽³⁾	Typ.	Max. ⁽³⁾	Unit
V_{PVD}	Level selection of programmable voltage detectors	PLS[3:0]=0000 (Rising edge)	-	1.8	-	V
		PLS[3:0]=0000 (Falling edge)	-	1.7	-	
		PLS[3:0]=0001 (Rising edge)	-	2.1	-	
		PLS[3:0]=0001 (Falling edge)	-	2.0	-	
		PLS[3:0]=0010 (Rising edge)	-	2.4	-	
		PLS[3:0]=0010 (Falling edge)	-	2.3	-	
		PLS[3:0]=0011 (Rising edge)	-	2.7	-	

		PLS[3:0]=0011 (Falling edge)	-	2.6	-	
		PLS[3:0]=0100 (Rising edge)	-	3.0	-	
		PLS[3:0]=0100 (Falling edge)	-	2.9	-	
		PLS[3:0]=0101 (Rising edge)	-	3.3	-	
		PLS[3:0]=0101 (Falling edge)	-	3.2	-	
		PLS[3:0]=0110 (Rising edge)	-	3.6	-	
		PLS[3:0]=0110 (Falling edge)	-	3.5	-	
		PLS[3:0]=0111 (Rising edge)	-	3.9	-	
		PLS[3:0]=0111 (Falling edge)	-	3.8	-	
		PLS[3:0]=1000 (Rising edge)	-	4.2	-	
		PLS[3:0]=1000 (Falling edge)	-	4.1	-	
		PLS[3:0]=1001 (Rising edge)	-	4.5	-	
		PLS[3:0]=1001 (Falling edge)	-	4.4	-	
		PLS[3:0]=1010 (Rising edge)	-	4.8	-	
		PLS[3:0]=1010 (Falling edge)	-	4.7	-	
$V_{POR/PDR}^{(1)}$	Power-on reset	-	-	1.65	-	V
V_{hyst_PDR}	PDR hysteresis	-	-	50	-	mV
$T_{RSTTEMPO}^{(2)}$	Reset duration	-	-	4.7	-	ms

备注 1：产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

备注 2：由设计保证，不在生产中测试。

备注 3：由综合评估得出。复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

7.3.4 内置的参照电压

下表中给出的参数是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.4 内置的参照电压

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{REFINT}	Built-in voltage reference	$-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$	-	1.2	-	V
$T_{s_vrefint}^{(1)}$	ADC sampling time when readout built-in voltage	-	-	11.8	-	us

备注 1. 最短的采样时间是通过应用中的多次循环得到。

7.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码（停止电容测量部分）。

电流消耗

微控制器处于下列条件：

所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 GND（无负载）。

所有的外设都处于关闭状态，除非特别说明。

Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0~24 MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期）。

指令预取功能开启。当开启外设时： $f_{HCLK}=f_{PCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.5-1 运行模式下的典型电流消耗

Symbol	Parameters	Condition	f _{HCLK} (Hz)	Typical					Typical					Unit
				All peripherals enabled					All peripherals disabled					
				-40°C	0°C	25°C	55°C	85°C	- 40° C	0°C	25°C	55°C	85°C	
I _{DD}	Supply current in Run mode	HSI is clock source	48M	4.22	4.36	4.43	4.54	4.63	3.06	3.19	3.25	3.35	3.44	mA
			24M	3.05	3.16	3.23	3.31	3.39	2.34	2.45	2.50	2.58	2.66	
			12M	2.15	2.27	2.32	2.40	2.46	1.81	1.91	1.96	2.04	2.09	
			6M	1.70	1.79	1.85	1.92	2.00	1.53	1.62	1.67	1.74	1.82	
			3M	1.22	1.30	1.35	1.42	1.48	1.13	1.21	1.26	1.33	1.39	
			750K	0.87	0.94	0.98	1.04	1.10	0.84	0.91	0.95	1.01	1.07	
			375K	0.80	0.87	0.91	0.97	1.03	0.79	0.86	0.90	0.96	1.02	
			187.5K	0.77	0.84	0.88	0.94	1.00	0.77	0.84	0.88	0.93	0.99	
			93.75K	0.76	0.83	0.87	0.92	0.98	0.75	0.83	0.86	0.92	0.98	
		HSIDIV is clock source	8M	1.83	1.92	1.70	1.78	1.84	1.63	1.73	1.50	1.57	1.64	
			4M	1.68	1.76	1.79	1.51	1.57	1.56	1.65	1.65	1.39	1.45	
			2M	1.19	1.28	1.32	1.39	1.46	1.13	1.22	1.27	1.33	1.40	
			1M	0.95	1.03	1.07	1.13	1.19	0.92	1.00	1.04	1.10	1.16	
			500K	0.83	0.90	0.94	1.00	1.06	0.81	0.89	0.93	0.99	1.04	
			125K	0.74	0.81	0.85	0.91	0.96	0.73	0.80	0.84	0.90	0.96	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.72	0.79	0.83	0.89	0.94	
			31.25K	0.71	0.78	0.82	0.88	0.93	0.71	0.78	0.82	0.88	0.93	
		LSI is clock source	40K	0.19	0.21	0.21	0.22	0.23	0.19	0.20	0.21	0.22	0.23	

表 7.3.5-2 睡眠模式下的典型电流消耗

Symbol	Parameters	Condition	f _{HCLK} (Hz)	Typical All peripherals enabled					Typical All peripherals disabled					Unit
				-40°C	0°C	25°C	55°C	85°C	-40°C	0°C	25°C	55°C	85°C	
I _{DD}	Supply current in Sleep mode	HSI is clock source	48M	3.24	3.35	3.41	3.50	3.58	2.09	2.18	2.24	2.32	2.40	mA
			24M	2.18	2.27	2.33	2.40	2.48	1.49	1.57	1.62	1.69	1.76	
			12M	1.51	1.59	1.64	1.71	1.78	1.16	1.24	1.29	1.35	1.42	
			6M	1.67	1.76	1.81	1.89	1.97	1.50	1.58	1.64	1.71	1.78	
			3M	1.20	1.29	1.33	1.39	1.46	1.12	1.20	1.24	1.31	1.37	
			750K	0.86	0.94	0.98	1.04	1.10	0.84	0.91	0.95	1.01	1.07	
			375K	0.80	0.87	0.91	0.97	1.03	0.79	0.86	0.90	0.96	1.02	
			187.5 K	0.77	0.84	0.88	0.94	0.99	0.76	0.84	0.88	0.93	0.99	
			93.75 K	0.76	0.83	0.87	0.92	0.98	0.75	0.82	0.86	0.92	0.98	
		HSIDIV is clock source	8M	1.30	1.39	1.44	1.51	1.58	1.11	1.20	1.24	1.31	1.38	
			4M	1.75	1.81	1.26	1.26	1.33	1.63	1.69	1.11	1.15	1.21	
			2M	1.23	1.32	1.37	1.44	1.50	1.18	1.26	1.31	1.39	1.44	
			1M	0.97	1.05	1.09	1.15	1.21	0.94	1.02	1.06	1.12	1.19	
			500K	0.84	0.91	0.95	1.01	1.07	0.82	0.89	0.94	1.00	1.06	
			125K	0.74	0.81	0.85	0.91	0.96	0.73	0.80	0.84	0.90	0.96	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.72	0.79	0.83	0.89	0.94	
			31.25 K	0.71	0.78	0.82	0.88	0.93	0.71	0.78	0.82	0.88	0.93	
		LSI is clock source	40K	0.19	0.21	0.21	0.22	0.23	0.19	0.20	0.21	0.22	0.23	

表 7.3.5-3 停机模式下的典型电流消耗⁽¹⁾

Symbol	Parameter	Conditions	Typical					Unit
			-40°C	0°C	25°C	55°C	85°C	
I _{DD}	Supply current in Stop mode	Enter Stop mode after reset, V _{DD} =3.3V	110.19	117.98	121.73	125.54	113.52	μA
	Supply current in Deep Stop mode	Enter Deep Stop mode after reset, V _{DD} =3.3V	5.75	6.20	6.44	6.79	7.76	

备注 1: I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于下表，MCP61 的工作条件如下：

所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 GND(无负载)。

所有的外设都处于关闭状态，除非特别说明。

给出的数值是通过测量电流消耗计算得出

- 关闭所有外设的时钟
- 只开启一个外设的时钟

表 7.3.5-4 内置外设的电流消耗 ⁽¹⁾

Symbol	Parameter	Bus	Typical	Unit
I_{DD}	CRC	AHB	0.67	$\mu A/MHz$
	GPIOA		0.32	
	GPIOB		0.27	
	TIM1	APB1	5.11	
	I2C1		4.95	
	SPI1		3.38	
	TIM3		3.13	
	USART1		1.96	
	TIM14		1.50	
	ADC1		0.73	
	PWR		0.10	
	EXTI		0.09	
	SYSCFG		0.09	
	DBG		0.04	
	WWDG		0.03	

备注 1. $f_{HCLK} = 48MHz$, $f_{APB1} = f_{HCLK}$, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

停机或待机模式：时钟源是振荡器

睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 7.3.1 通用工作条件测量得到。

表 7.3.5-5 低功耗模式的唤醒时间

Symbol	Parameter	Conditions	Typical	Unit
$t_{WUSLEEP}$	Wake up from Sleep mode	System clock is HSIDIV	3.22	μs
t_{WUSTOP}	Wake up from Stop mode	System clock is HSIDIV	26.65	μs
$t_{WUDEEPSTOP}$	Wake up from Deep Stop mode	System clock is HSIDIV	28.88	μs

7.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得, 环境温度和供电电压符合通用工作条件。

表 7.3.6 高速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{HSE_ext}	User external clock source frequency ⁽¹⁾	-	-	8	48	MHz
V_{HSEH}	OSC_IN input high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN input low level voltage	GND	GND	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN high or low time ⁽¹⁾	-	20	-	-	ns

备注 1: 由设计保证, 不在生产中测试。

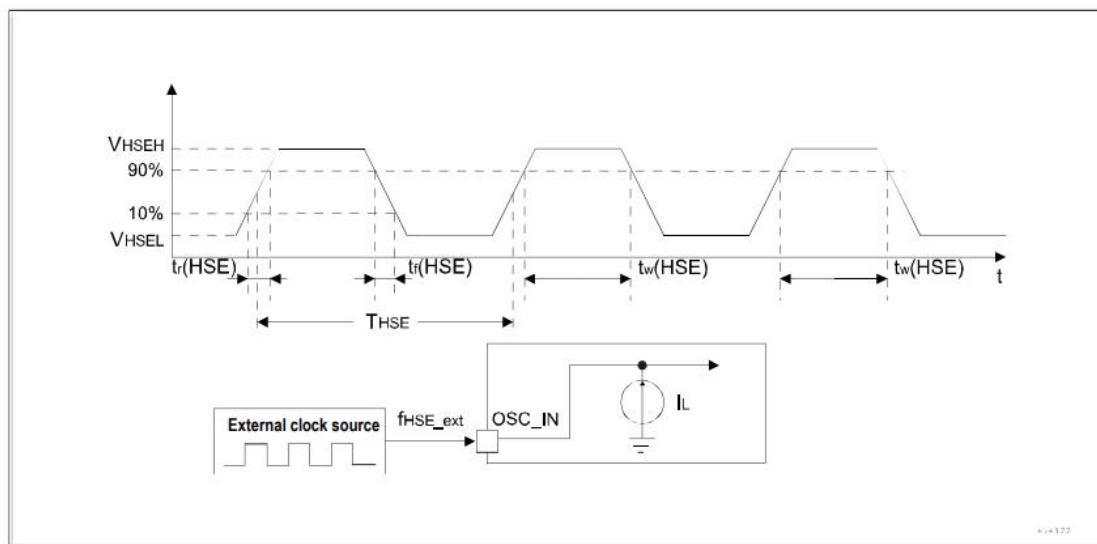


图 7.3.6 外部高速时钟源的交流时序图

7.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (HSI) 振荡器

表 7.3.7-1 HSI 振荡器特性 ⁽¹⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HSI}	Frequency	-	-	48	-	MHz
$\text{ACC}_{\text{HSI}}^{(3)}$	HSI oscillator deviation	$T_A = 0^\circ\text{C} \sim 55^\circ\text{C}$	-1	-	1	%
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	-2	-	2	%
$T_{\text{stab(HSI)}}^{(2)}$	HSI oscillator startup time	-	-	-	20	μs
$I_{\text{DD(HSI)}}^{(2)}$	HSI oscillator power consumption	-	-	480	-	μA

备注 1.: $V_{\text{DD}}=3.3\text{V}$, $T_A=-40^\circ\text{C} \sim 85^\circ\text{C}$, 除非特别说明。

备注 2: 由设计保证, 不在生产中测试。

备注 3: 由综合评估得出。

低速内部(LSI) 振荡器

表 7.3.7-2 LSI 振荡器特性 ⁽¹⁾

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{LSI}	Frequency	-	-	40	-	KHz
$\text{ACC}_{\text{LSI}}^{(3)}$	LSI oscillator deviation	$T_A = 0^\circ\text{C} \sim 55^\circ\text{C}$	-15	-	15	%
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	-20	-	20	%
$T_{\text{stab(LSI)}}^{(2)}$	LSI oscillator startup time	-	-	-	100	μs
$I_{\text{DD(LSI)}}^{(2)}$	LSI oscillator power consumption	-	-	1	-	μA

备注 1. $V_{\text{DD}}=3.3\text{V}$, $T_A=-40^\circ\text{C} \sim +85^\circ\text{C}$, 除非特别说明。

备注 2. 由设计保证, 不在生产中测试。

备注 3. 由综合评估得出。

7.3.8 存储器特性

表 7.3.8 Flash 存储器特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
t_{prog}	16-bit programming time	-	-	37.24	-	μs
t_{ERASE}	Page (1024 bytes) erase time	-	4	-	6	ms
t_{ME}	Mass erase time	-	30	-	40	ms
I_{DD}	Supply current	Read mode	-	-	1.5	mA
		Write mode	-	-	2	mA
		Erase mode	-	-	1	mA

N _{END}	Endurance	TA = 85°C	100000	-	-	Cycles
T _{DR}	Data retention	TA = 25°C	25	-	-	Years

7.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

静电放电 (ESD)（正向和负向）施加到所有器件引脚，直到发生功能干扰。该测试符合 IEC 61000-4-2 标准。

FTB：通过一个 100 pF 的电容器向 V_{DD} 和 GND 施加一串快速瞬变电压（正负），直到发生功能性干扰。该测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 7.3.9 EMS 特性

Symbol	Parameter	Conditions	Level/Type
V _{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	V _{DD} = 3.3V, TA = +25°C, f _{HCLK} = 48MHz. Conforming to IEC61000-4-2	2A
V _{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on V _{DD} and GND pins to induce a functional disturbance	V _{DD} = 3.3V, TA = +25°C, f _{HCLK} = 48MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化,是在典型的应用环境中进行的。应该注意的是,好的 EMC 性能与用户应用和具体的软件密切相关。因此,建议用户对软件实行 EMC 优化,并进行与 EMC 有关的认证测试。

软件建议

- 软件的流程中必须包含程序跑飞的控制，如：
- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

7.3.10 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 7.3.1 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 电平。

表 7.3.10-1 I/O 静态特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V_{IL}	Low level input voltage	-	-	-	$0.3 * V_{DD}$	V
V_{IH}	High level input voltage	-	$0.7 * V_{DD}$	-	-	V
V_{hy}	Schmitt trigger hysteresis ⁽¹⁾	-	$0.1 * V_{DD}$	-	-	V
I_{lk}	Input leakage current ⁽²⁾	-	-1	-	1	μA
R_{PU}	Weak pull-up equivalent	$V_{IN} = GND$	-	60	-	k Ω
R_{PD}	Weak pull-down equivalent	$V_{IN} = V_{DD}$	-	60	-	k Ω
C_{IO}	I/O pin capacitance	-	-	-	10	pF

备注 1：由综合评估得出，不在生产中测试。

备注 2：如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

备注 3：上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 20mA$ 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCP61 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 GND 上流出的电流总和，加上 MCP61 在 GND 上流出的最大运行电流，不能超过绝对最大额定值 I_{GND} 。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 7.3.10-2 输出电压特性 ⁽³⁾

Symbol	Parameter	Conditions	Typical	Unit
$V_{OL}^{(1)}$	Output low voltage	$ I_{IO} = 6mA, V_{DD} = 2.0V$	0.36	V
$V_{OH}^{(2)}$	Output high voltage		1.56	

$V_{OL(1)}$	Output low voltage	$ I_{IO} = 6mA, V_{DD} = 3.3V$	0.2
$V_{OH(2)}$	Output high voltage		3.01
$V_{OL(1)}$	Output low voltage	$ I_{IO} = 8mA, V_{DD} = 3.3V$	0.27
$V_{OH(2)}$	Output high voltage		2.91
$V_{OL(1)}$	Output low voltage	$ I_{IO} = 6mA, V_{DD} = 5.0V$	0.15
$V_{OH(2)}$	Output high voltage		4.75
$V_{OL(1)}$	Output low voltage	$ I_{IO} = 8mA, V_{DD} = 5.0V$	0.2
$V_{OH(2)}$	Output high voltage		4.67
$V_{OL(2)}$	Output low voltage	$ I_{IO} = 20mA, V_{DD} = 5.0V$	0.54
$V_{OH(2)}$	Output high voltage		4.18

备注 1：芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{GND} 。

备注 2：芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD} 。

备注 3：由综合评估得出。

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 7.3.1 的条件测量得到。

表 7.3.10-3 I/O 交流特性 ⁽¹⁾

Symbol	Parameter	Conditions	Typical	Unit
$t_{f(I/O)out}$	Output fall time	$C_L = 50pF$	5.8	ns
$t_{r(I/O)out}$	Output rise time	$V_{DD} = 3.3V$	5.6	ns

备注 1：由设计保证，不在生产中测试。

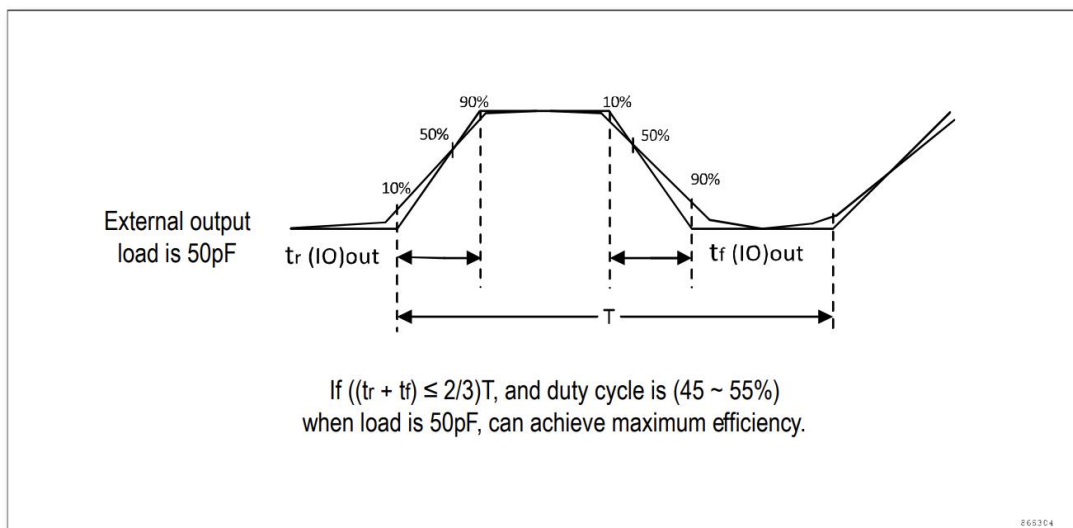


图 7.3.10 I/O 交流特性

7.3.11 Timer 定时器特性

下表列出的参数由设计保证。

表 7.3.11 TIMx⁽¹⁾ 特性

Symbol	Parameter	Condition	Minimum	Maximum	Unit
tres(TIM)	Timer resolution	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	20.8	-	ns
f _{EXT}	External clock frequency of channel 1 to 4	-	0	-	MHz
		f _{TIMxCLK} = 48MHz	0	24	
Res _{TIM}	Timer resolution	-	-	16	bit
t _{COUNTER}	16-bit counter period	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	0.0208	1365.3	us
t _{MAX_COUNT}	Maximum possible counter value (TIM_PSC adjustable)	-	-	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 48MHz	-	1365.3	us
t _{MAX_IN}	TIM maximum input frequency	-	-	48	MHz

备注 1：设计保证，不在生产中测试。

7.3.12 I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

表 7.3.12 I2C 接口特性

Symbol	Parameter	Standard I2C ⁽¹⁾		Fast mode I2C ⁽¹⁾		Unit
		Minimum	Maximum	Minimum	Maximum	
t _w (SCLL)	SCL clock low time	9*t _{PCLK}	-	9*t _{PCLK}	-	us
t _w (SCLH)	SCL clock high time	18*t _{PCLK}	-	18*t _{PCLK}	-	us
t _{su} (SDA)	SDA setup time	1*t _{PCLK}	-	1*t _{PCLK}	-	ns
t _h (SDA)	SDA data retention time	0 ⁽³⁾	∞ ⁽⁴⁾	0 ⁽³⁾	∞ ⁽⁴⁾	ns

$t_r(\text{SDA})$ $t_r(\text{SCL})$	SDA and SCL rising time	-	1000	20	300	ns
$t_f(\text{SDA})$ $t_f(\text{SCL})$	SDA and SCL fall time	-	300	$20 \times (V_{DD}/5.5V)$	300	ns
$t_{vd}(\text{DAT})^{(5)}$	Data valid time	-	$8 \times t_{PCLK} - 1^{(4)}$	-	$8 \times t_{PCLK} - 0.3^{(4)}$	us
$t_{vd}(\text{ACK})^{(6)}$	Data valid acknowledge time	-	$8 \times t_{PCLK} - 1^{(4)}$	-	$8 \times t_{PCLK} - 0.3^{(4)}$	us
$t_h(\text{STA})$	Start condition hold time	$8 \times t_{PCLK}$	-	$8 \times t_{PCLK}$	-	us
$t_{su}(\text{STA})$	Start condition setup time	$19 \times t_{PCLK}$	-	$17 \times t_{PCLK}$	-	us
$t_{su}(\text{STO})$	Stop condition setup time	$17 \times t_{PCLK}$	-	$17 \times t_{PCLK}$	-	us
$t_w(\text{STO:STA})$	Time from Stop condition to Start condition (bus idle)	$484 \times t_{PCLK}$	-	$144 \times t_{PCLK}$	-	us
C_b	Capacitive load of each bus	-	400	-	400	pF

备注 1： 由设计保证，不在生产中测试。

备注 2： 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 12MHz。

备注 3： 在 SDA 进入 $0.3V_{DD}$ 至 $0.7V_{DD}$ 的不确定范围之前，确保 SCL 在下降沿下降到 $0.3V_{DD}$ 以下。
注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 $0.3V_{DD}$ 的转换时间来插入 SDA 转换相对于 SCL 的延迟。

备注 4： 标准模式和快速模式的最大 $t_h(\text{SDA})$ 可以是 3.45 us 和 0.9 us，但必须比 $t_{vd}(\text{DAT})$ 或 $t_{vd}(\text{ACK})$ 的最大值小一个转换时间。 仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时才必须满足此最大值。 如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。

备注 5： $t_{vd}(\text{DAT})$ = 从 SCL LOW 到 SDA 输出数据信号的时间。

备注 6： $t_{vd}(\text{ACK})$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

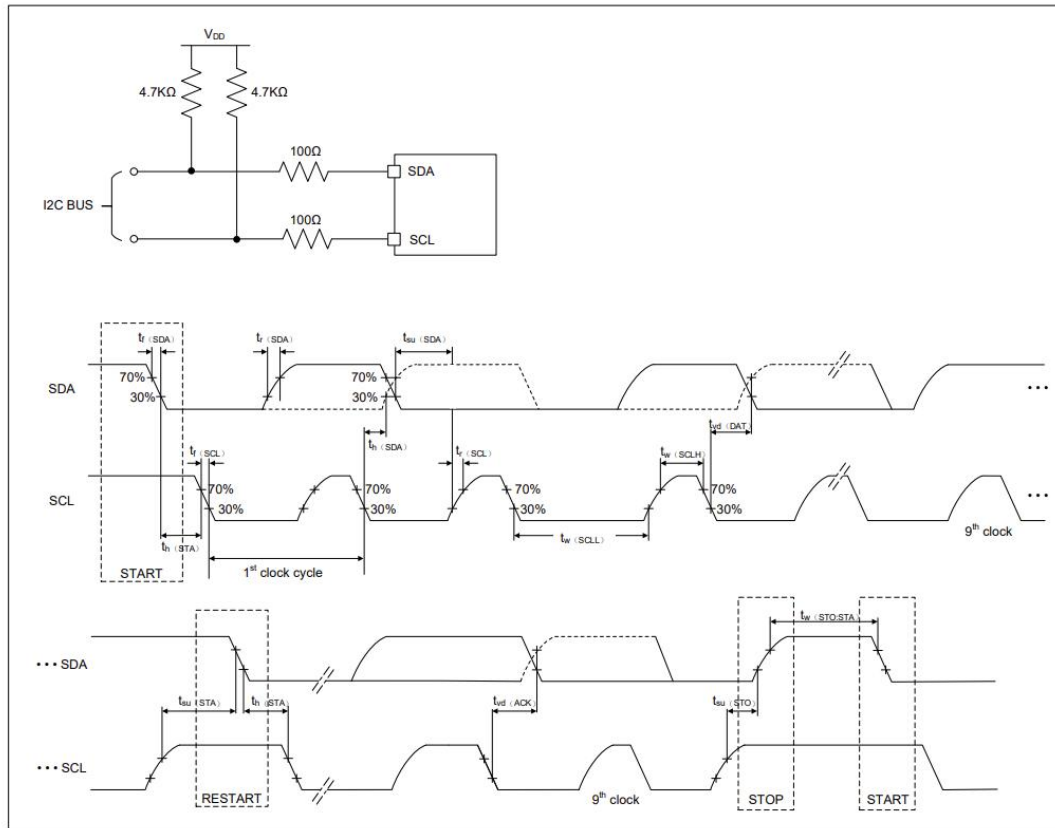


图 7.3.12 I2C 总线交流波形和测量电路 ⁽¹⁾

备注 1: 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

7.3.13 SPI 接口特性

除非特别说明, 下表列出的参数是使用环境温度, f_{PCLKx} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。

表 7.3.13 SPI 特性⁽¹⁾

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	Master mode, $T_A = 25^\circ C$	-	24 ⁽⁴⁾	MHz
		Slave mode, $T_A = 25^\circ C$	-	12	
$t_{r(SCK)}$	SPI clock rise time	Load capacitance: $C = 15pF$	-	6	ns
$t_{f(SCK)}$	SPI clock fall time	Load capacitance: $C = 15pF$	-	6	ns
$t_{su(NSS)}^{(1)}$	NSS setup time	Slave mode	10	-	ns
$t_{h(NSS)}^{(1)}$	NSS hold time	Slave mode	10	-	ns

$t_{w(SCKH)}^{(1)}$	SCK high time	-	$t_{c(SCK)}/2 - 6$	$t_{c(SCK)}/2 + 6$	ns
$t_{w(SCKL)}^{(1)}$	SCK low time	-	$t_{c(SCK)}/2 - 6$	$t_{c(SCK)}/2 + 6$	ns
$t_{su(MI)}^{(1)}$	Data input setup time	Master mode, $f_{PCLK} = 48\text{MHz}$, prescaler = 2, high speed mode	15	-	ns
$t_{su(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{h(MI)}^{(1)}$	Data input hold time	Master mode, $f_{PCLK} = 48\text{MHz}$, prescaler = 2, high speed mode	0	-	ns
$t_{h(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{v(MO)}^{(1)}$	Data output valid time	Master mode (after enable edge)	-	15	ns
$t_{v(SO)}^{(1)}$	Data output valid time	Slave mode (after enable edge)	-	15	ns

备注 1：由综合评估得出。

备注 2：最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。

备注 3：最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

备注 4：当 SPI 工作在极限速率时，建议在 SCK 连线间串接阻抗匹配电阻，以保证传输的稳定性；并确保 SPI Master 和 SPI Slave 的 SCK 连线尽可能短。

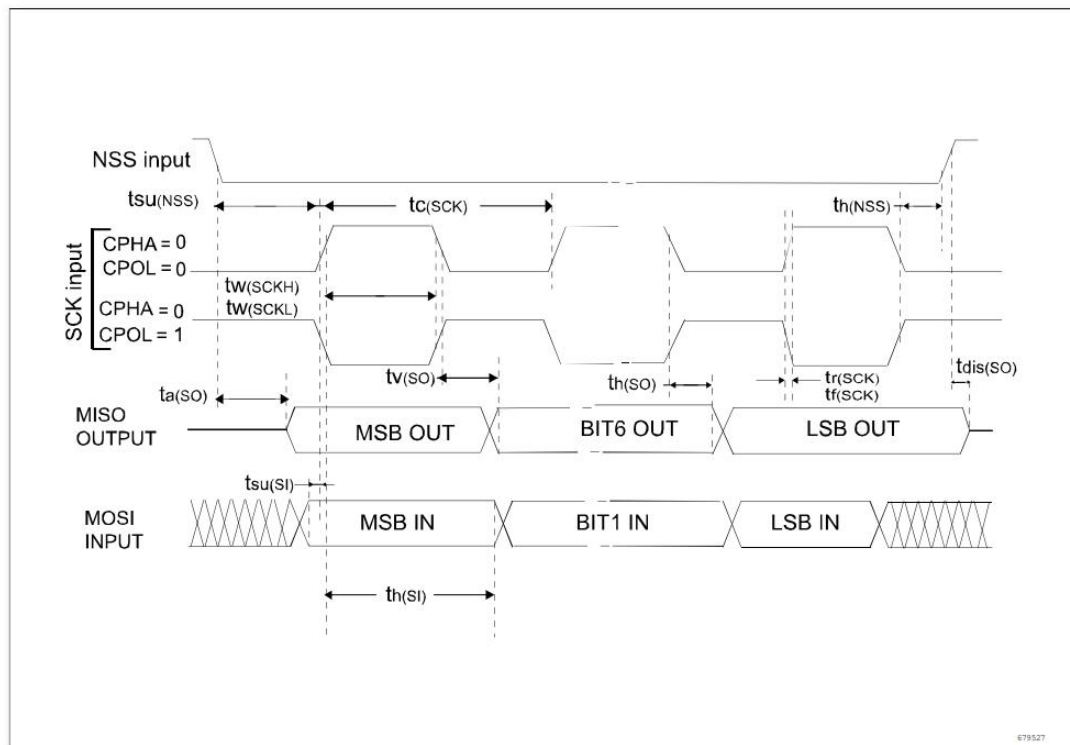


图 7.3.13-1 SPI 时序图从模式 0 和 CPHA = 0, CPOL = 0

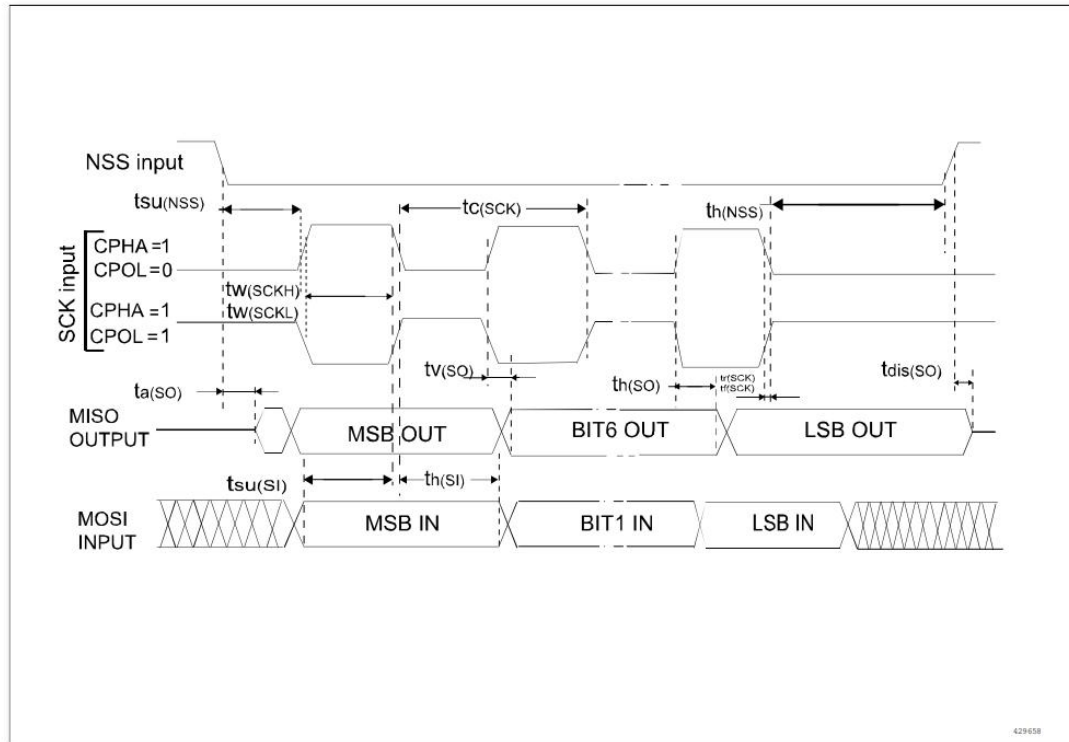


图 7.3.13-2 SPI 时序图从模式和 $CPHA = 1$, $CPOL = 1$ ⁽¹⁾

备注 1: 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

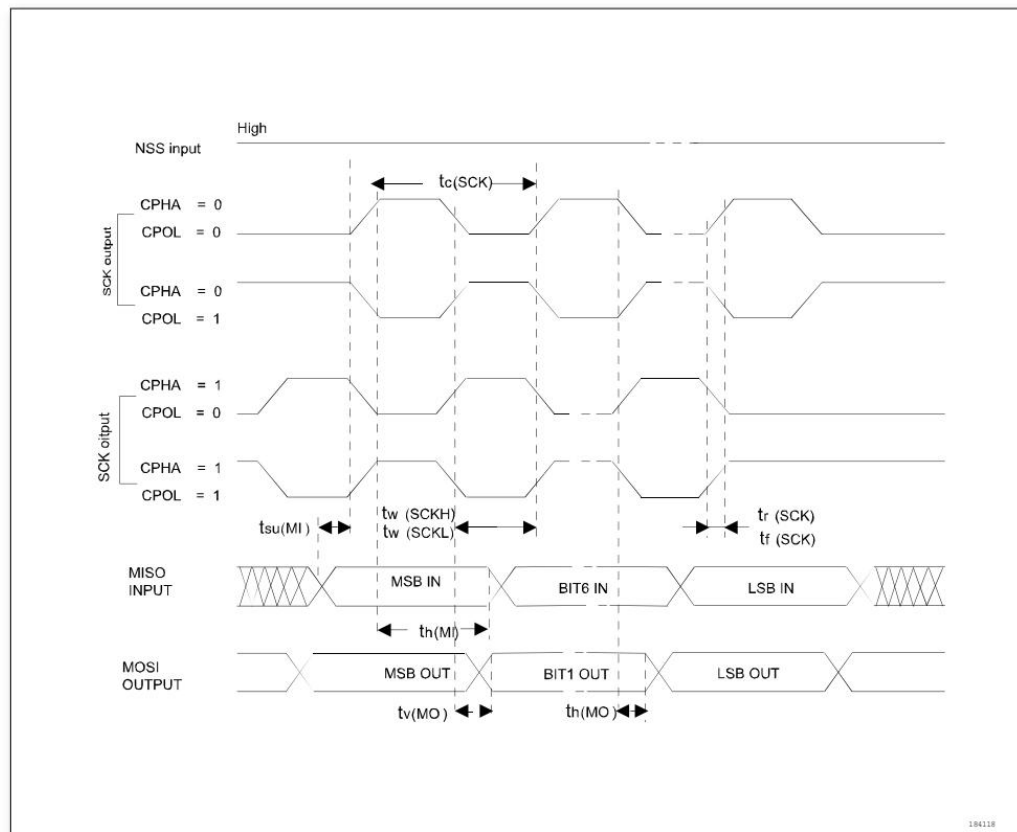


图 7.3.13-3 SPI 时序图主模式, CPHASEL = 1 ⁽¹⁾

备注 1: 测量点设置于 CMOS 电平: 0.3V_{DD} 和 0.7V_{DD}。

7.3.14 USART 接口特性

除非特别说明, 下表列出的参数是使用环境温度, f_{PCLKx} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。

表 7.3.14 USART 特性⁽¹⁾

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f _{SCLK}	USART clock	Master mode, T _A = 25°C	-	6	MHz
1/t _{c(SCLK)}	frequency	Slave mode, T _A = 25°C	-	6	
t _{r(SCLK)}	SCLK clock rise time	Load capacitance: C = 15pF	-	6	ns
t _{f(SCLK)}	SCLK clock fall time	Load capacitance: C = 15pF	-	6	ns
t _{w(SCLKH)} ⁽¹⁾	SCLK high time	-	t _{c(SCLK)} /2 - 6	t _{c(SCLK)} /2 + 6	ns
t _{w(SCLKL)} ⁽¹⁾	SCLK low time	-	t _{c(SCLK)} /2 - 6	t _{c(SCLK)} /2 + 6	ns
t _{SU(MI)} ⁽¹⁾	Data input setup	Master mode, f _{PCLK} = 48MHz, prescaler = 8	5	-	ns
t _{SU(SI)} ⁽¹⁾	time	Slave mode	5	-	ns
t _{h(MI)} ⁽¹⁾	Data input hold	Master mode, f _{PCLK} = 48MHz, prescaler = 8	5	-	ns
t _{h(SI)} ⁽¹⁾	time	Slave mode	5	-	ns
t _{v(MO)} ⁽¹⁾	Data output valid time	Master mode (after enable edge)	-	10	ns
t _{v(SO)} ⁽¹⁾	Data output valid time	Slave mode (after enable edge)	-	26	ns

备注 1: 由设计保证, 不在生产中测试。

7.3.15 ADC 特性

除非特别说明, 下表的参数是使用符合表 7.3.1 的条件的环境温度、f_{PCLK2} 频率和 V_{DD} 供电电压测量得到。

表 7.3.15 ADC 特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{DD}	Supply voltage	-	2.5	3.3	5.5	V
F_{ADC}	ADC clock frequency	-	-	-	16	MHz
$F_S^{(1)}$	Sampling frequency	-	-	-	1	MHz
$F_{TRIG}^{(1)}$	External trigger frequency ⁽³⁾	$f_{ADC}=16\text{MHz}$	-	-	1	MHz
		-	-	-	16	$1/f_{ADC}$
$V_{AIN}^{(2)}$	Conversion voltage range	-	0	-	V_{DD}	V
$R_{AIN}^{(1)}$	External input impedance	-	See equation 2			k Ω
$R_{ADC}^{(1)}$	Sampling switch resistance	-	-	-	1.5	k Ω
$C_{ADC}^{(1)}$	Internal sample and hold capacitance	-	-	-	10	pF
$T_{STAB}^{(1)}$	Stabilization time	-	-	-	10	μs
$T_{LATR}^{(1)}$	Delay between trigger and conversion start	-	-	-	-	$1/f_{ADC}$
$T_S^{(1)}$	Sampling time	$f_{ADC}=16\text{MHz}$	0.156	-	15.031	μs
		-	2.5	-	240.5	$1/f_{ADC}$
$T_{CONV}^{(1)}$	Total conversion time (including sampling time)	$f_{ADC}=16\text{MHz}$	0.9375	-	15.8125	μs
		-	15 ~ 253 (sampling t_S + successive approximation)			$1/f_{ADC}$
ENOB	Effective number of bits	-	-10.5			bit

备注 1：由综合评估保证，不在生产中测试。

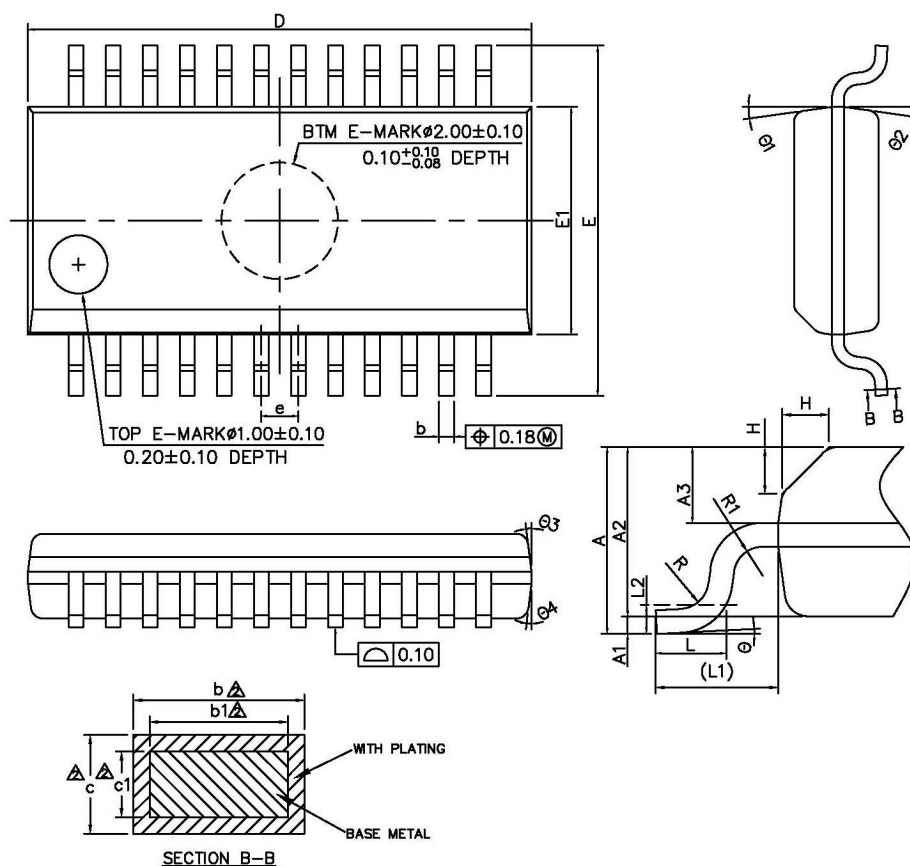
备注 2：由设计保证，不在生产中测试。

备注 3：在该系列产品中， V_{REF+} 在内部连接到 V_{DD} ， V_{REF-} 在内部连接到 GND。

备注 4：由设计保证，不在生产中测试。

备注 5：对于外部触发，必须在时延中加上一个延迟 $1/f_{ADC}$ 。

8. 封装 (QSOP24)



SYMBOL	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
b	0.21	—	0.32
b1	0.20	0.25	0.28
c	0.20	—	0.25
c1	0.19	0.20	0.21
D	8.53	8.63	8.73
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.535	0.635	0.735
H	0.30	0.40	0.50
L	0.45	0.60	0.80
L1	1.05REF		
L2	0.25BSC		
R	0.08	—	—
R1	0.08	—	—
θ	0°	—	8°
θ1	6°	8°	10°
θ2	6°	8°	10°
θ3	5°	7°	9°
θ4	5°	7°	9°